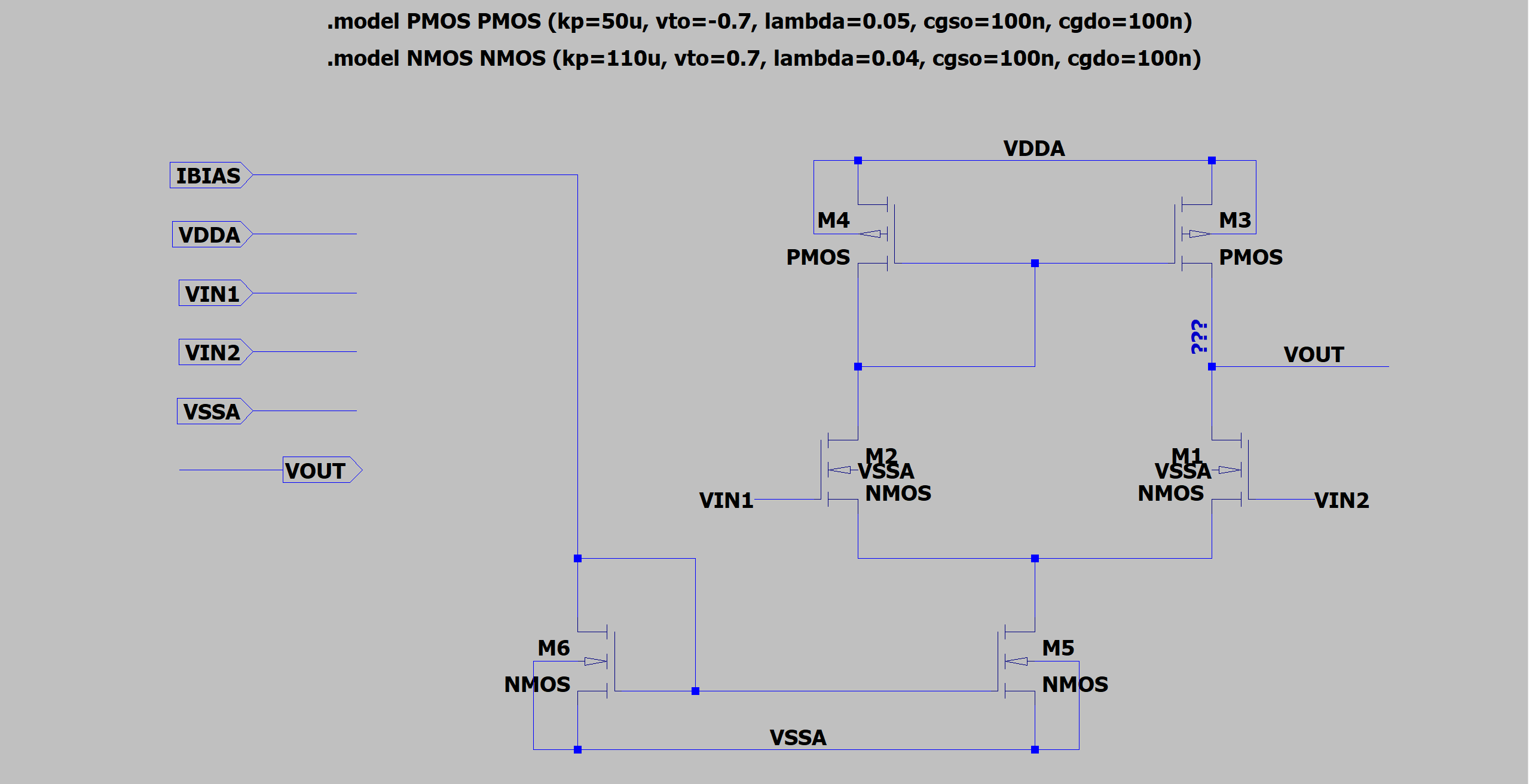
**LDO** Architecture & Testbench

Compensation by FF-Cap & ESR

By using LTspice

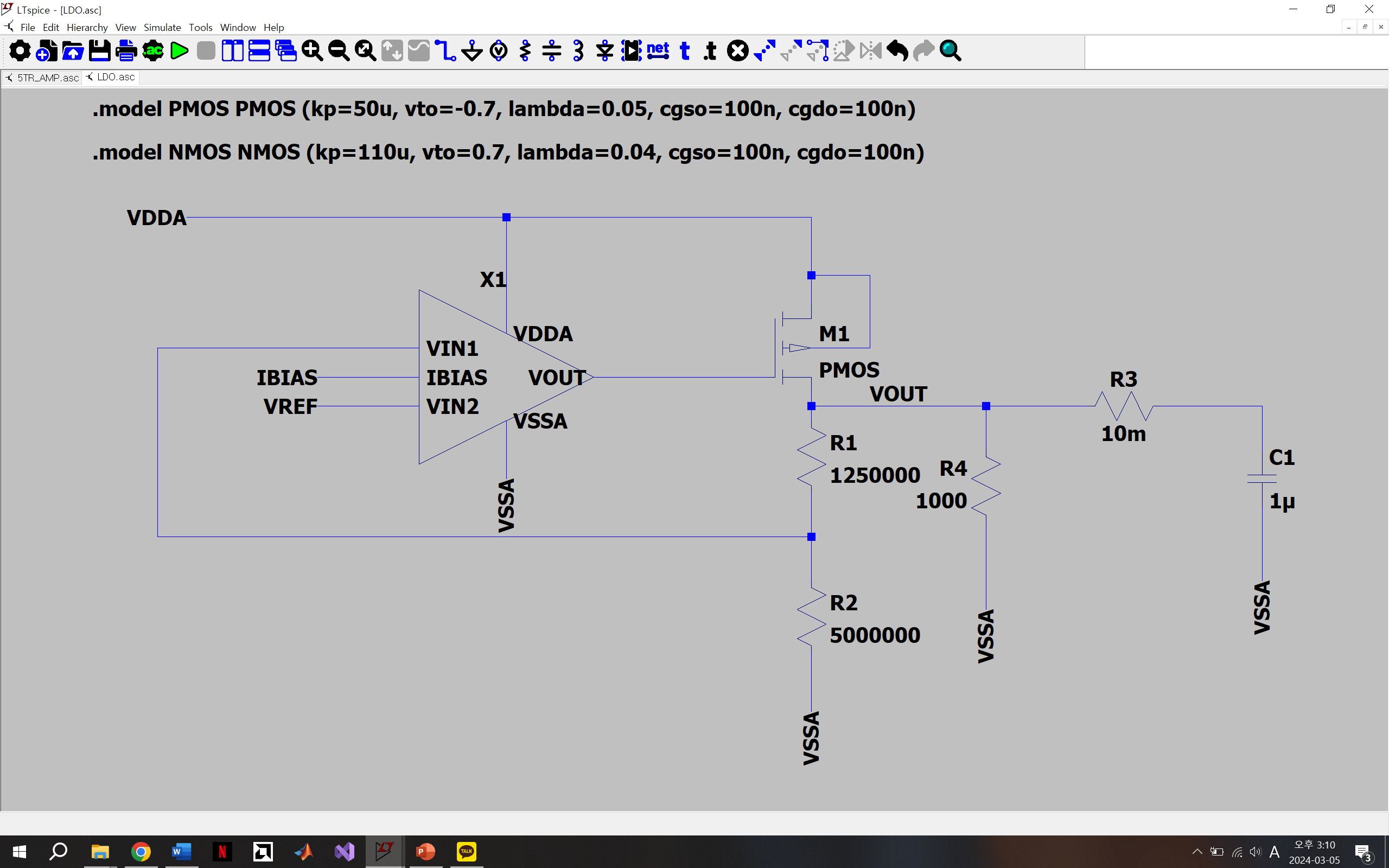
2018111902정상훈

# Schematic



LDO 설계에 앞서서 LDO에 이용할 증폭기를 설계한다. 증폭기는 5 transistor 구조로 설계하였습니다. 트랜지스터의 파라미터는 다음과 같습니다. M6는 Trail current를 복사하는 레퍼런스입니다.

|  |  |  |  |
| --- | --- | --- | --- |
| Transistor Name | Transistor Type | Length | Width |
| M1 | NMOS | 1u | 30u |
| M2 | NMOS | 1u | 30u |
| M3 | PMOS | 1u | 20u |
| M4 | PMOS | 1u | 20u |
| M5 | NMOS | 1u | 10u |



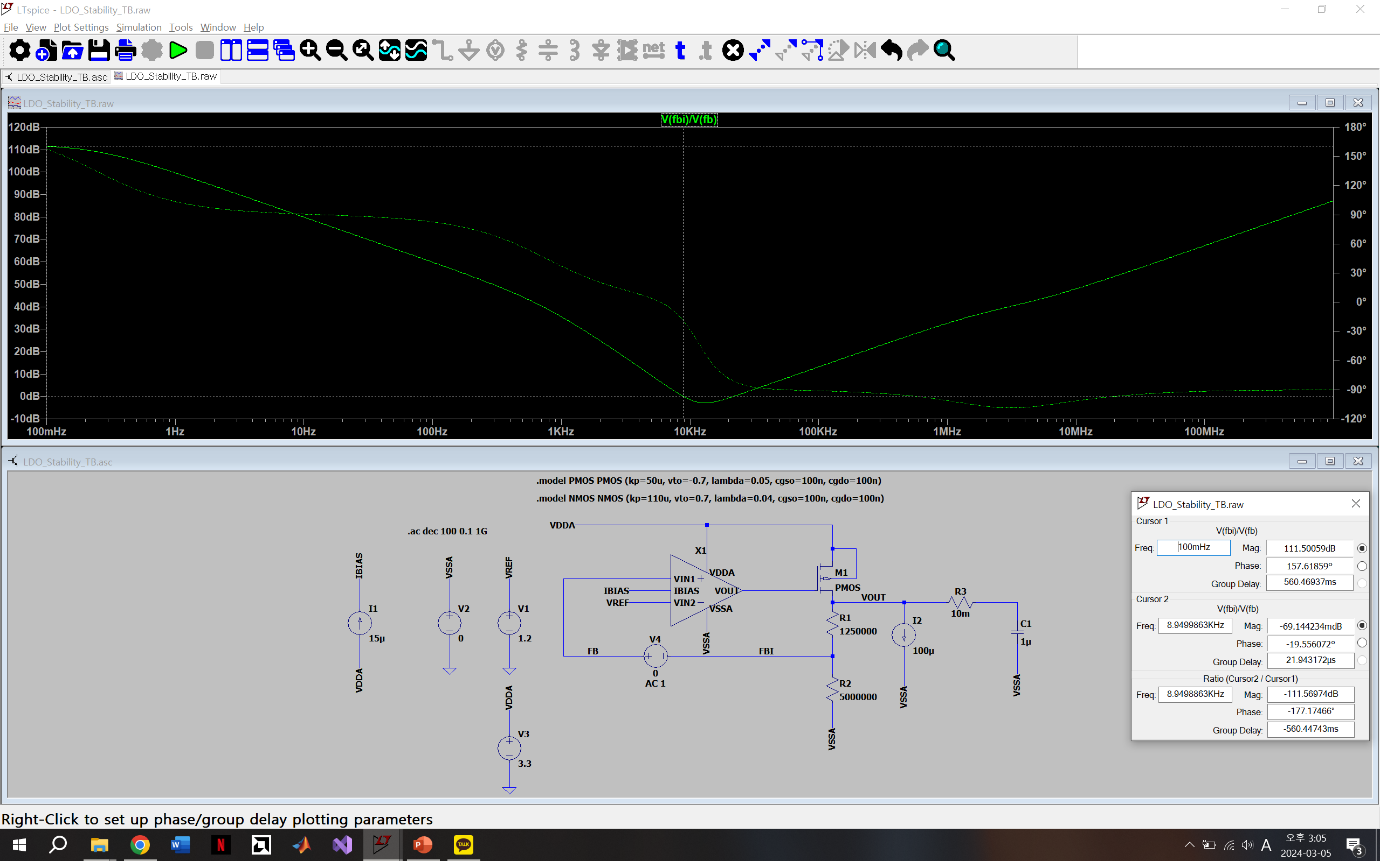
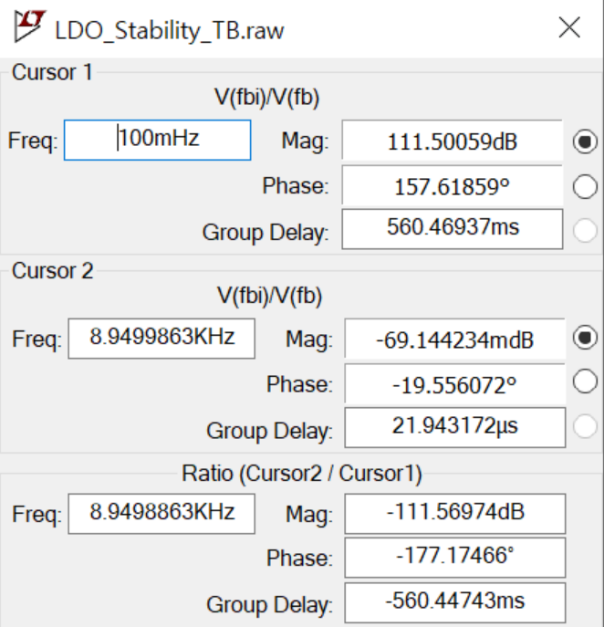
LDO의 설계도는 위와 같습니다. M1은 작은 Ron, 낮은 Vdrop을 위해 L과 W을 각각 0.5u, 2000u으로 설정하였습니다. 또한 R1과 R2는 1.5V의 출력전압을 위한 저항비로 구성하였습니다. LDO의 출력전압 계산을 위한 식은 다음과 같습니다.



VREF 는 1.2이고 R1 = 1.25M, R2 = 5M이므로 1.25 x 1.2 = 1.5V으로 출력전압을 계산할 수 있습니다.

# Testbench

## Stability Testbench



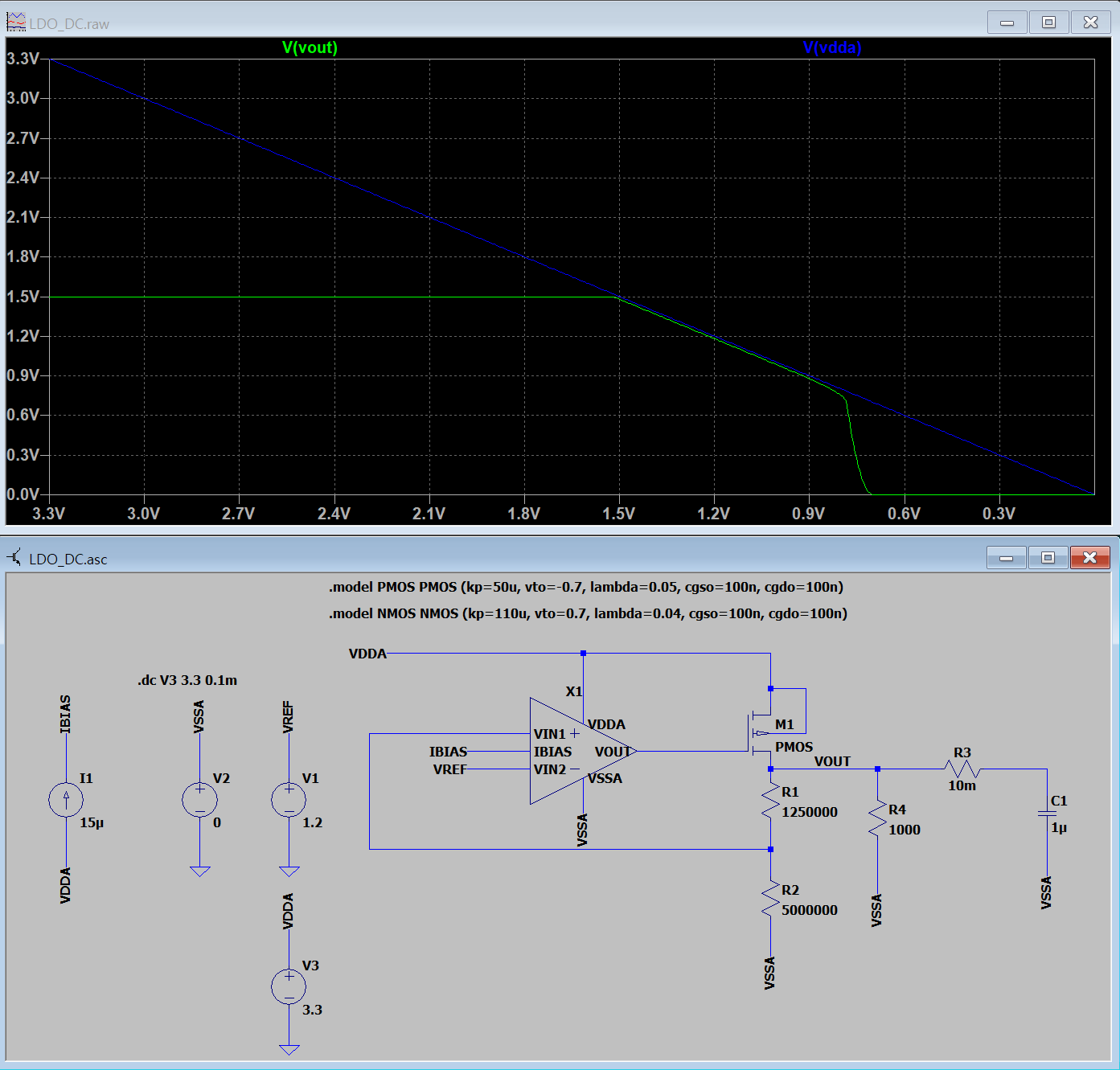
LDO의 stability 검증을 위해 AC simulation을 통해 Gain, Band-width, Phase margin을 확인하였습니다. 앞선 LDO 설계도에서 R4 저항 대신 전류원을 통해 직접적인 Load 전류(100u)를 발생시키고, 피드백의 신호를 끊기 위해 DC 0, AC 1의 진폭을 인가하는 전압원을 연결합니다.

V(FBI)/V(FB)의 플롯을 통해 2 pole, 1 zero를 확인할 수 있었습니다. Gain, Band-width, Phase margin은 cursor를 통해 대략적인 값을 추출할 수 있었습니다.

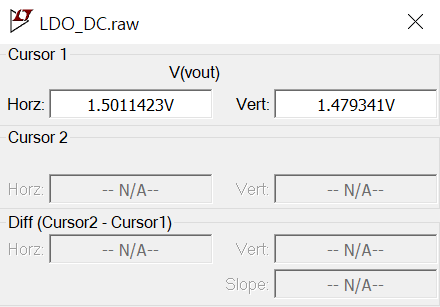
|  |  |  |
| --- | --- | --- |
| Gain | Band-width | Phase margin |
| 111dB | 8.92kHz | -19 ° |

Phase margin이 -19 °으로 LDO가 발진할 것으로 예상하였습니다. Testbench를 통해 이에 대한 보상이 필요하다는 판단을 내릴 수 있습니다.

## Drop-out Voltage Testbench



먼저 DC sweep을 통해 DC 시뮬레이션을 구성합니다. R4를 1000Ω으로 구성함으로써 출력 Load 전류가 1.5mA인 회로도를 구성하였습니다.

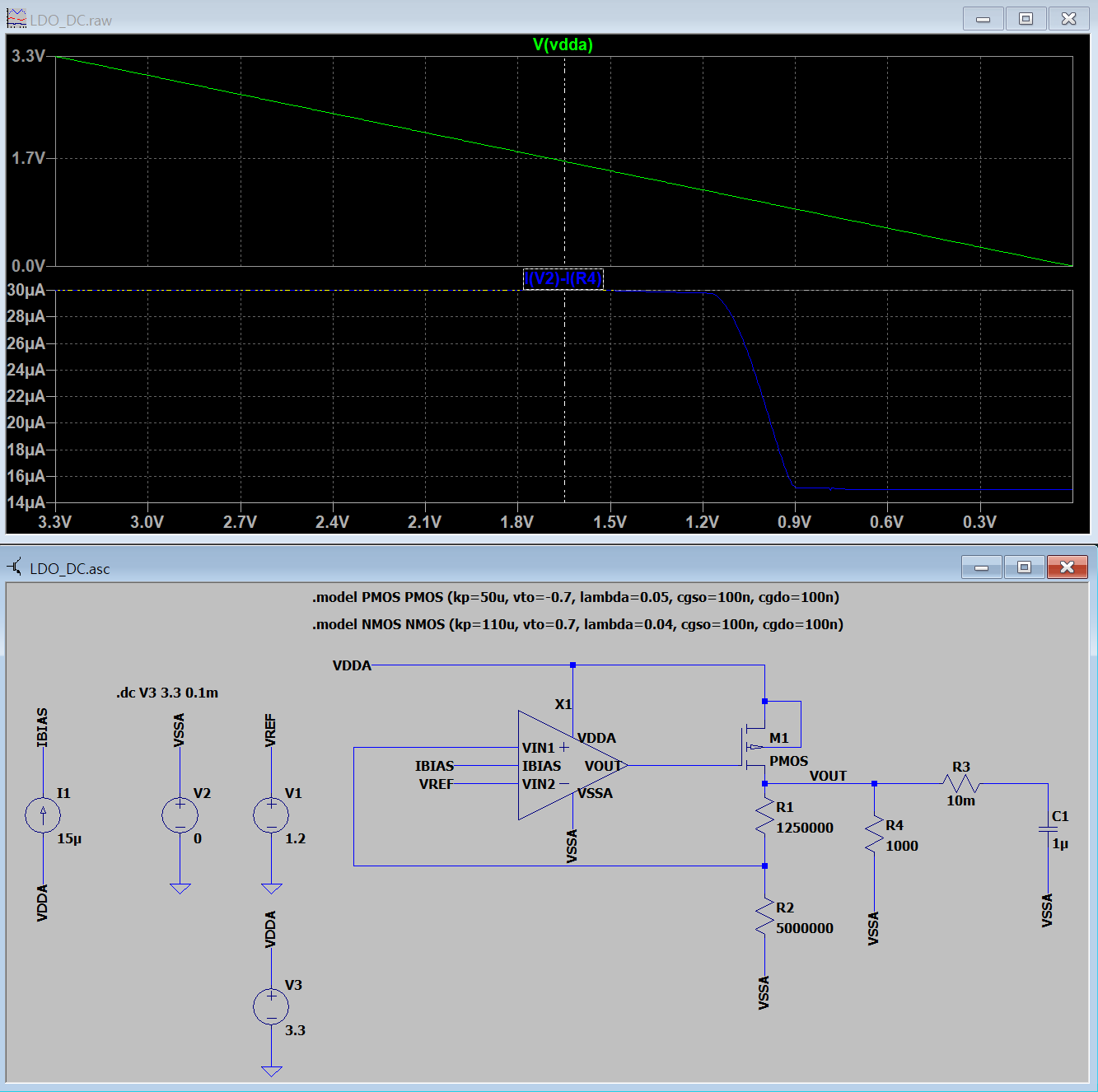


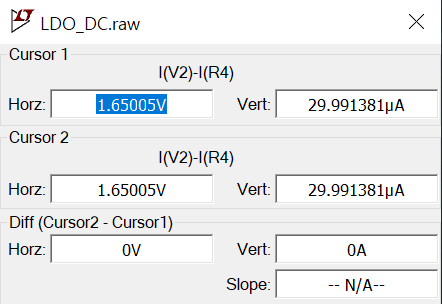
|  |  |
| --- | --- |
| VDDA | VOUT |
| 1.5011423V | 1.479341V |

Vdrop = VDDA - VOUT = 0.0218013V

Vdrop을 계산해보면 위와 같은 결과로 약 22mV의 낮은 전압이 소모되었음을 알 수 있습니다.

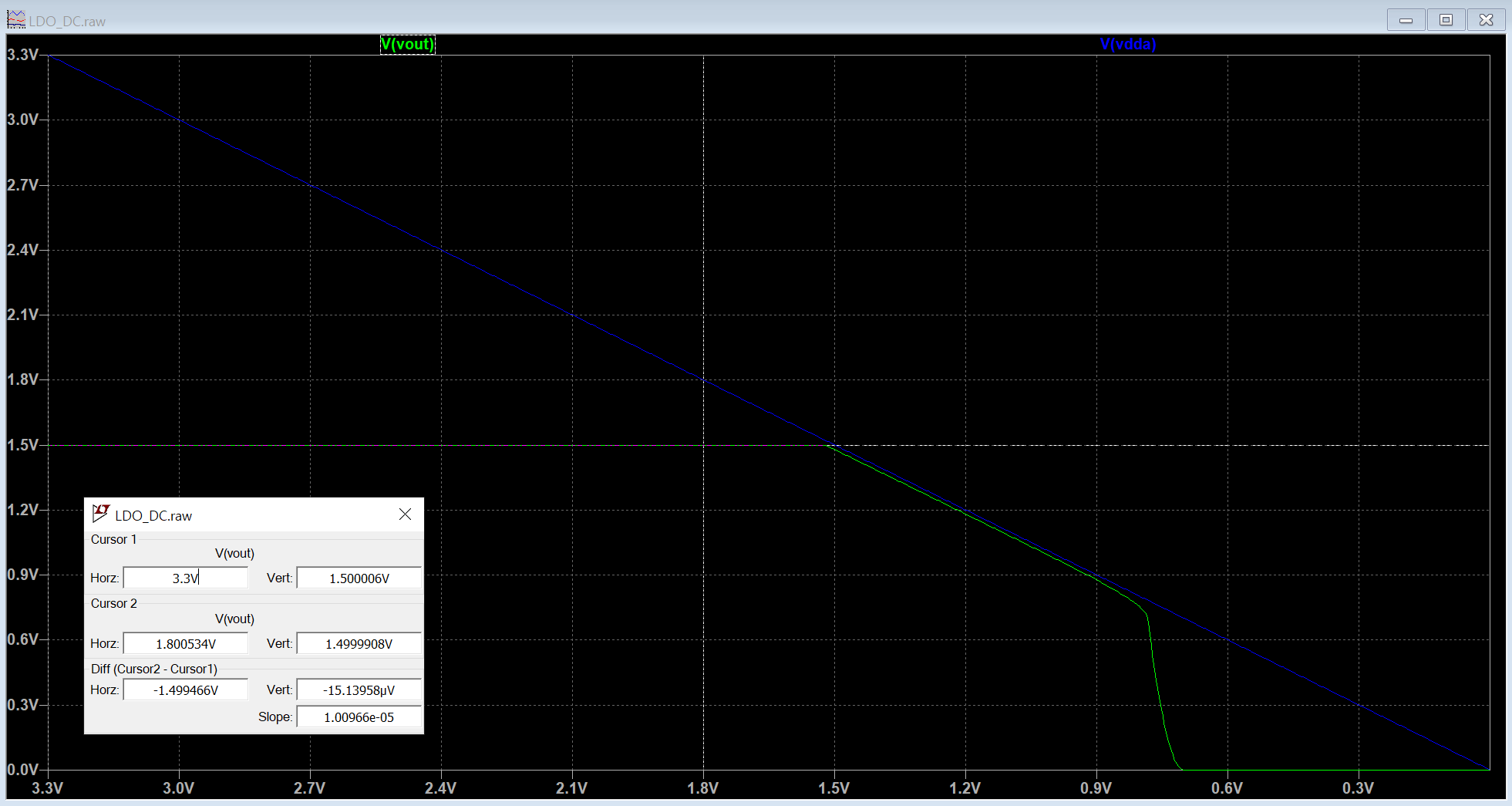
## Quiescent current Testbench

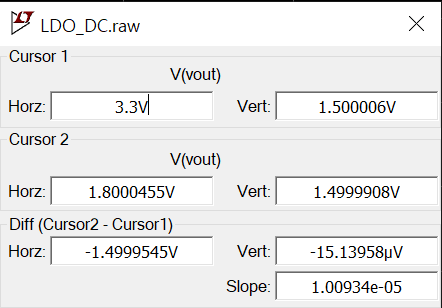




Quiescent current를 구하기 위해서 Ground로 흘러 들어가는 전류를 모두 더한 전체 전류에서 load 전류를 빼는 방법을 선택하였습니다. 이를 이용하여 순수하게 LDO가 소모하는 전류를 측정할 수 있는데 29.991381uA로 약 30uA를 소모함을 알 수 있습니다. 이는 LDO 내부에 면적이 큰 pass transistor의 영향으로 예상할 수 있습니다.

## Line Regulation Testbench



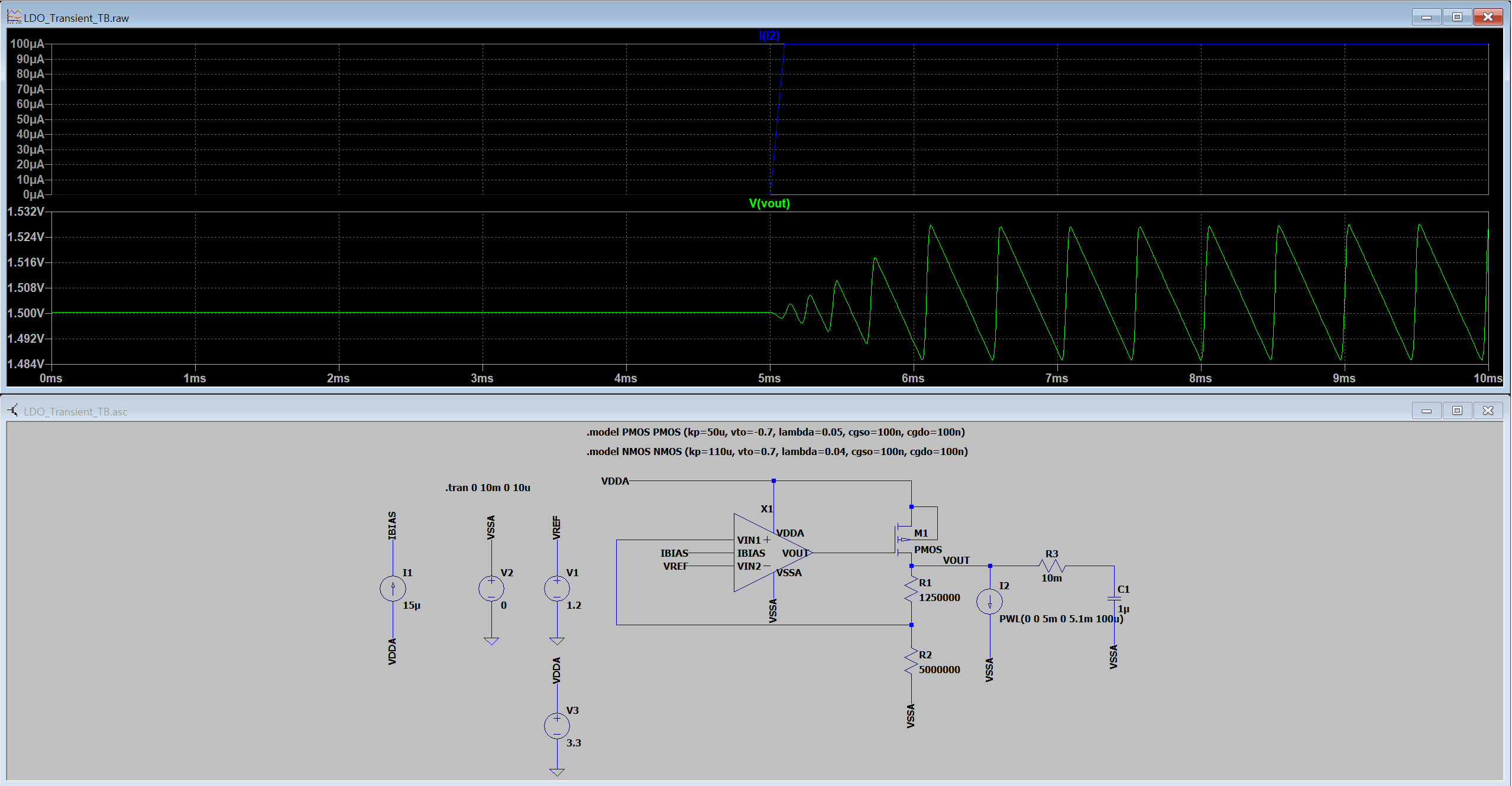


입력전압(VDDA)가 3.3V에서 1.8V까지 변함에 따라 출력전압(VOUT)이 얼마나 잘 regulation이 되는지 LDO의 성능을 판단해보았습니다. 3.3V에서의 출력전압과 1.8V에서의 출력전압을 뺀 값이 0.0000152V로서 약 15uV의 작은 차이가 나는 것으로 line regulation 성능이 매우 좋다고 볼 수 있습니다.

## Load Regulation Testbench

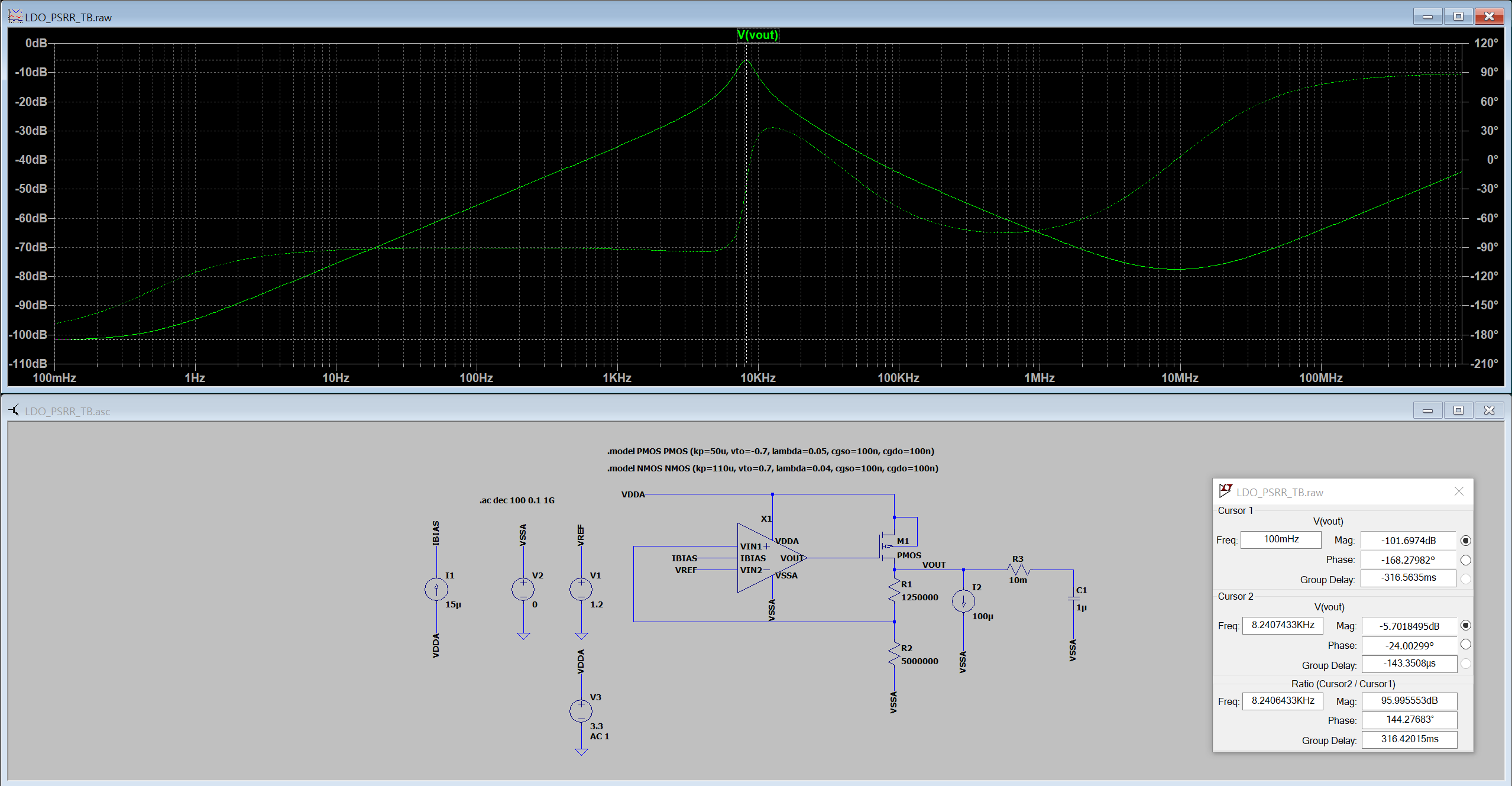
Line regulation 측정에 이어서 load regulation 측정을 위해 load 전류에 변화에 따른 출력전압이 어떻게 변화하는지 측정하였습니다. 0~400mA 까지 load 전류의 큰 변화폭에도 불구하고 약 6.61mV까지의 작은 출력전압 변화로 좋은 regulation 성능을 알 수 있습니다.

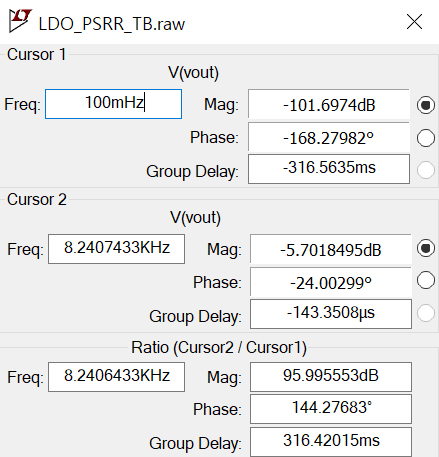
## Load Transient Response Testbench



과도 응답에 따른 testbench를 하기 위해 transient 시뮬레이션을 시행하였습니다. Load 단에 0에서 100uA의 전류를 0.1msec동안 순간적으로 인가하도록 설정하고 시뮬레이션한 결과, Stability testbench에서의 예상과 같이 LDO가 발진하는 것을 볼 수 있었습니다.

## PSRR testbench





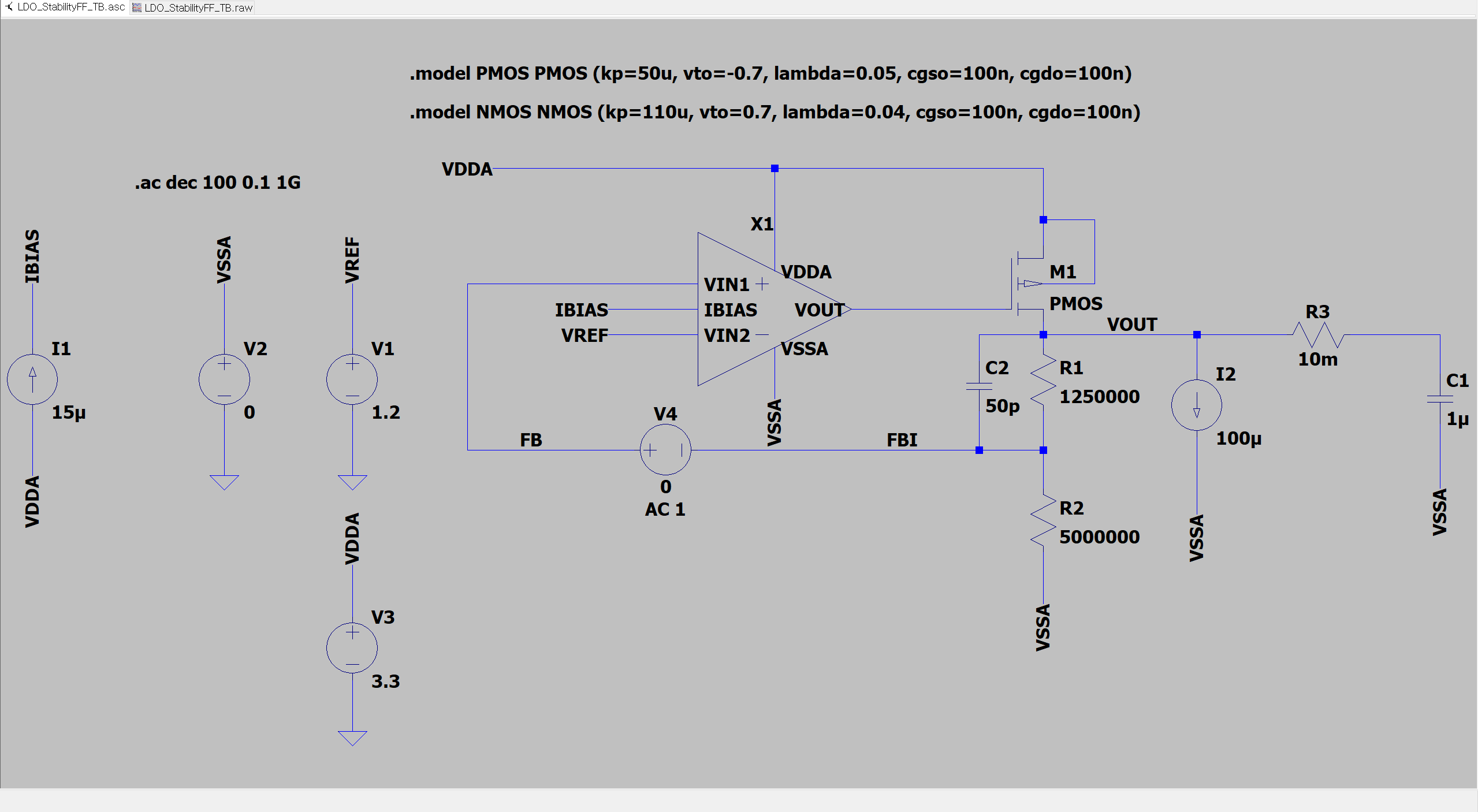
PSRR(POWER SUPPLY REJECTION RATIO)를 확인하기 위해서 VDDA(공급전압)에 리플 성분으로 AC 진폭을 인가합니다. 이에 따라 출력전압이 어떻게 주파수별로 반응하는지 확인하였습니다. 저주파에서는 약 -101dB로 노이즈 감쇠가 잘 이루어지고 8.24kHz부근에서 -5.7dB로 낮은 노이즈 감쇠효과를 보입니다.

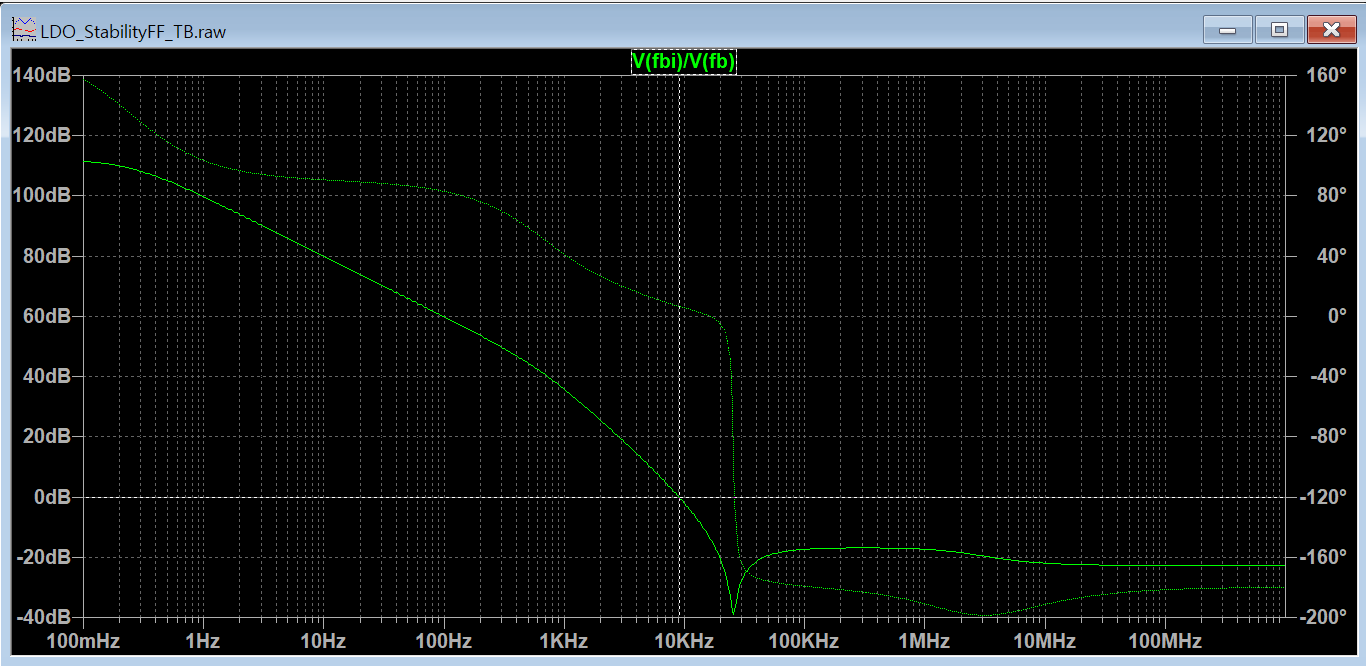
## Testbench Result

Testbench 결과, Quiescent current가 다소 높지만 line, load regulation이 잘 되고 낮은 drop-out을 통해 heavy한 load까지도 견딜 수 있는 LDO임을 알 수 있었습니다. 하지만 Stability 특성이 불안정하여 load transient testbench 결과 발진함을 확인하여 안정성을 위해 보상을 필수로 고려해야함을 알게 되었습니다.

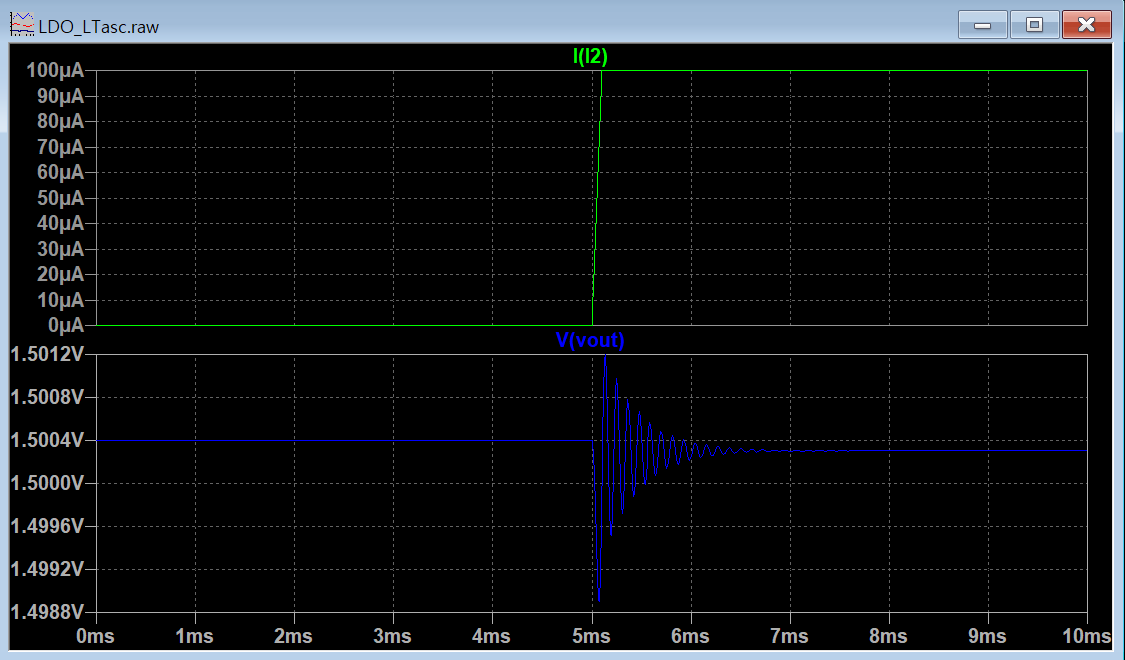
# Compensation

## Feed-forward Capacitor



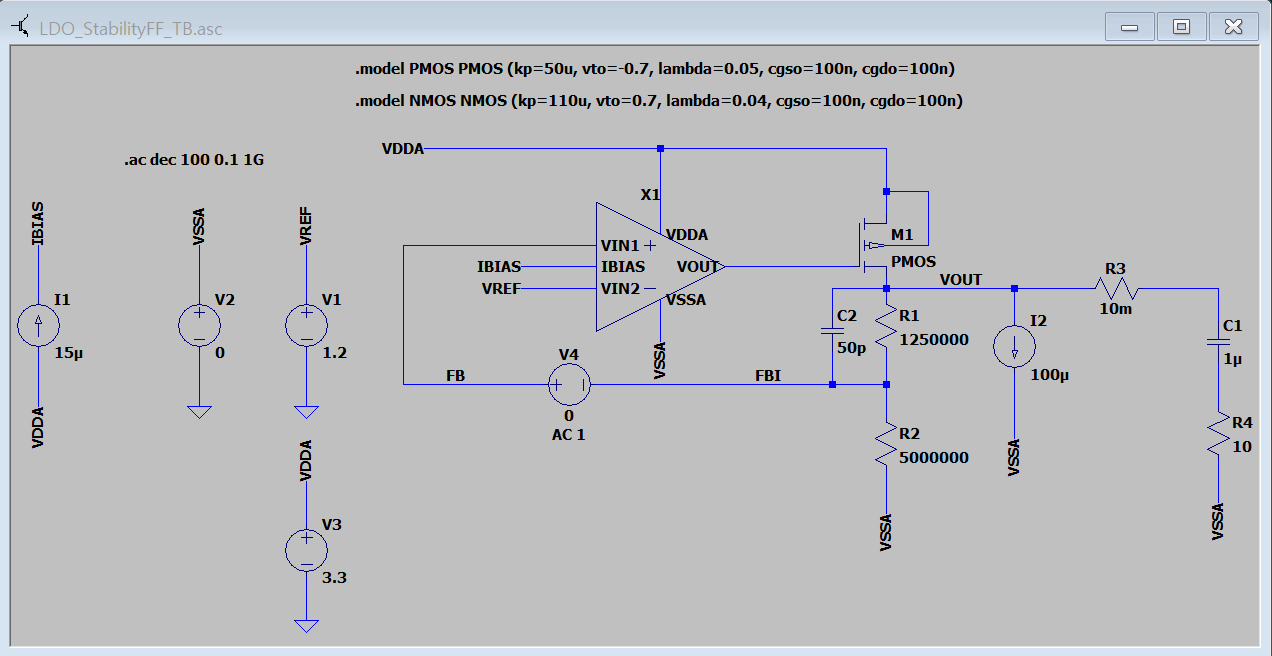


Feed-Forward capacitor(50p)를 Vout과 피드백 노드 사이에 추가함으로써 LDO 발진을 막기 위한 보상을 하였습니다. Stability Testbench를 한 결과, pole과 zero가 멀어졌으며 Phase margin이 6.7°로 개선된 것을 확인할 수 있었습니다.

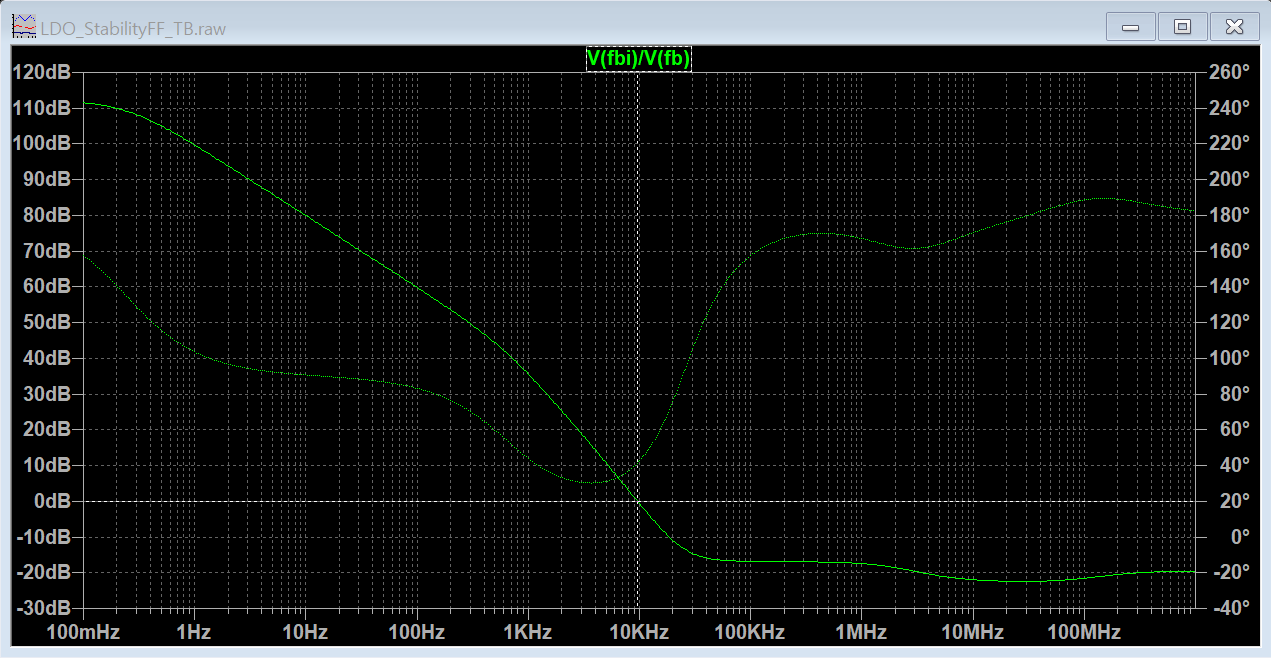
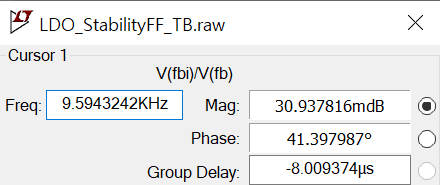


또한, 이 LDO회로를 이용하여 Load Transient Response 시뮬레이션을 한 결과 발진을 하지 않음을 확인할 수 있었습니다. 하지만 ringing을 하는 문제점이 발견되었습니다. 다음으로 Phase margin을 좀 더 향상시키기 위해 Equivalent series resistance(ESR)을 이용하였습니다.

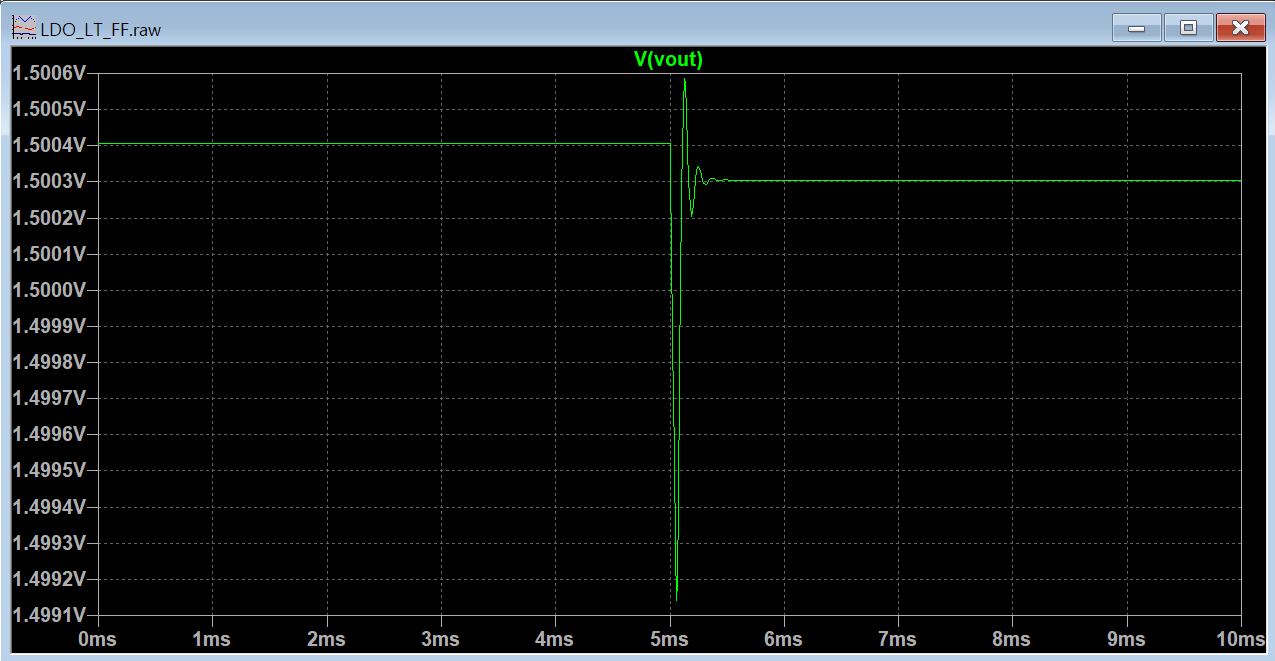
## Equivalent series resistance

Load capacitor인 Cout에 직렬로 저항을 추가하여 Phase margin을 좀 더 향상시켰습니다. 

위 설계도를 통해 보면 Feed-forward Capacitor와 Equivalent series resistance(10Ω)를 추가하여 안정성을 향상시키고 Phase margin을 높여 보상하였습니다.

Stability testbench를 통해 Phase margin은 약 41°로 보상된 것을 알 수 있습니다.

이 후, Phase margin의 향상을 확인한 후 Load Transient response의 ringing이 개선되었는지 확인하였습니다. 이전 ringing에 비해 많이 감소하여 2~3회 ringing으로 현저히 감소하여 안정성이 향상된 것을 볼 수 있습니다.

ESR이 더 크면 Phase margin이 더 향상되어 ringing이 더욱 감소될 수 있으나, 모델에 표시되지 않은 다른 고주파수 극에 의한 위상 변이로 인해 불안정성이 유발될 수 있고 효율성 또한 떨어지기 때문에 ESR은 10 Ω정도가 적절한 수치라고 판단하였습니다.

# Conclusion

LDO 설계와 다양한 성능 및 작동 검증 시뮬레이션을 통해 직접 제작한 LDO를 테스트해보고 수정해보았습니다.